

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-145435

(43)Date of publication of application : 29.05.1998

(51)Int.Cl.

H04L 13/08  
G06F 5/06  
G11B 20/10

(21)Application number : 08-304402

(71)Applicant : SONY CORP

(22)Date of filing : 15.11.1996

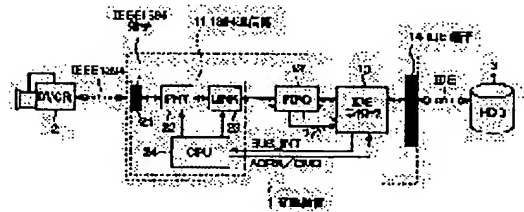
(72)Inventor : SUENAGA SHINICHI  
MIURA TAKESHI  
AOKI YUKIHIKO

## (54) CONVERTER AND ITS METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress missing in image data to be recorded on a prescribed recording medium.

**SOLUTION:** Image data sent from a digital video cassette recorder(DVCR) 2 are received by a 1394 communication section 11 and outputted to a FIFO memory 12. When the FIFO memory 12 stores data by one frame, the FIFO memory 12 sets a full flag. Then an integrated drive electronics(IDE) controller 13 reads the data by one frame from the FIFO memory 12 depending on the full flag and converts the data and provides an output of the converted data to a hard disk 3 via an IDE terminal 14. When the data are read from the FIFO memory 12, the full flag is cleared, but since data of a succeeding frame are fed to the FIFO memory 12, the full flag is set again. Thus, the IDE controller 13 processes data of one by one frame corresponding to the flag and provides an output to the hard disk 3.



## LEGAL STATUS

[Date of request for examination] 20.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The inverter which changes into the data corresponding to the interface of a predetermined record medium the data outputted from the means of communications which receives the data transmitted by the method based on IEEE1394 specification, a storage means output in order of FIFO after memorizing temporarily the data received by the aforementioned means of communications, and the aforementioned storage means, and is characterized by to have a conversion means output the data which changed to the aforementioned record medium.

[Claim 2] The aforementioned conversion means changes the data corresponding to the interface of the predetermined record medium of the aforementioned record medium into the original data further. The aforementioned storage means is made to memorize the aforementioned data. the aforementioned storage means Furthermore, it is the inverter according to claim 1 which outputs to the aforementioned means of communications in order of FIFO, and is characterized by the aforementioned means of communications transmitting the aforementioned data by the method based on IEEE1394 specification further after memorizing the aforementioned data temporarily.

[Claim 3] It is the inverter according to claim 1 which is further equipped with the connecting means which connect the aforementioned conversion means with the aforementioned predetermined record medium, and is characterized by the aforementioned conversion means outputting the aforementioned data to the aforementioned record medium through the aforementioned connecting means.

[Claim 4] The inverter according to claim 1 characterized by building in the aforementioned record medium.

[Claim 5] The aforementioned interface is an inverter according to claim 1 characterized by being an IDE interface.

[Claim 6] The aforementioned receiving means is an inverter according to claim 1 characterized by receiving the data transmitted by isochronous communication of IEEE1394 specification.

[Claim 7] The aforementioned record medium is an inverter according to claim 1 characterized by being a hard disk.

[Claim 8] The conversion method characterized by providing the following. The step which receives the data transmitted by the method based on IEEE1394 specification. The step outputted in order of FIFO after memorizing the received aforementioned data temporarily in the predetermined storage section. The step which changes into the data corresponding to the interface of a predetermined record medium the aforementioned data outputted from the aforementioned storage section, and outputs the changed data to the aforementioned record medium.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] After this invention receives the data especially transmitted based on IEEE1394 specification and memorizes the received data temporarily in the predetermined storage section about an inverter and a method, it relates to the inverter and method on which change into the data corresponding to the interface corresponding to a predetermined record medium in the turn of FIFO (First-In First-Out), and the predetermined Records Department is made to record the dynamic-image data supplied.

[0002]

[Description of the Prior Art] The digital video cassette recorder (DVCR) which makes a digital signal the photoed dynamic image, and processes or outputs it is spreading with progress of the latest semiconductor technology.

[0003] Drawing 3 receives the image data supplied in the form based on IEEE(Institute of Electrical and Electronics Engineers)1394 High Performance Serial Bus specification (IEEE1394 specification) from such DVCR2, and shows the example of 1 composition of the personal computer 101 made to record on a hard disk (HDD) 3.

[0004] In this personal computer 101, PC card 31 (for example, DV-CAP) consists of ISA terminals 44 which connect the ISA (Industry Standard Architecture) bus 32 with 1394 communications-department 11A which transmits and receives the packet which contains image data to DVCR2, the memory 42 and 43 which memorizes image data temporarily, the writing of those memory 42 and 43 and the memory controller 41 which controls read-out, and a memory controller 41.

[0005] PC card 31 transmits the image data supplied through ISA Bus 32 to DVCR2 while it receives the image data from DVCR2 and outputs it to memory 35 through ISA Bus 32 and a bus bridge 33.

[0006] In 1394 communications-department 11A of PC card 31, the IEEE1394 terminal 21 is connected to the PHY section 22, while connecting with DVCR2 through the IEEE1394 cable (cable based on IEEE1394 specification).

[0007] The PHY section 22 is controlled by sub CPU24A, performs a DS-CODING recovery to the packet containing the image data supplied through the IEEE1394 terminal 21, performs a DS-CODING modulation to the packet supplied from the LINK section 23, and transmits the packet through the IEEE1394 terminal 21 while it outputs the transmitted packet to the LINK section 23.

[0008] It packet-izes the image data supplied from the memory controller 41, and outputs the packet to the PHY section 22 while the LINK section 23 is controlled by sub CPU24A, extracts image data from the packet supplied from the PHY section 22 and outputs it to a memory controller 41.

[0009] When performing various processings according to a predetermined program and making image data record on a hard disk 3, after making memory 35 once memorize the image data from PC card 31, main CPU34 reads the data, is changed into the data corresponding to the IDE (Integrated Drive Electronics) interface which is an interface of a hard disk 3, and outputs the

changed data to a hard disk 3 through a bus bridge 33 and ISA Bus 32.

[0010] Moreover, when reading image data from a hard disk 3 and transmitting to DVCR2, after making memory 35 once memorize the data read from the hard disk 3 through ISA Bus 32 and the bus bridge 33, main CPU34 reads the data, is changed into the original image data from the data corresponding to an IDE interface, and outputs the changed image data to PC card 31 through a bus bridge 33 and ISA Bus 32.

[0011] Next, the image data supplied in the form based on IEEE1394 specification from DVCR2 is received, and operation of this personal computer 101 at the time of making it record on a hard disk 3 is explained.

[0012] 1394 communications-department 11A of PC card 31 receives the image data transmitted by isochronous (Isochronous) communication of IEEE1394 specification from DVCR2, and outputs the image data to a memory controller 41.

[0013] a memory controller 41 uses memory 42 and memory 43 as two banks A and B, and memorizes by turns the image data supplied to memory 42 or memory 43 from 1394 communications-department 11A per one frame -- making (it writing in) -- image data is read from the memory which is not writing in and it outputs through the ISA terminal 44

[0014] The image data outputted from PC card 31 is once memorized by memory 35 through ISA Bus 32 and a bus bridge 33, and after being changed into the data corresponding to an IDE interface, it is again outputted to a hard disk 3 by main CPU34 through ISA Bus 32 and a bus bridge 33.

[0015] After a hard disk 3 processes the supplied data with the IDE interface (not shown) to build in, it is recorded on the magnetic medium (not shown) to build in.

[0016] Next, the image data recorded on the hard disk 3 is read, and operation of a personal computer 101 in the case of supplying DVCR2 is explained.

[0017] After main CPU34 reads data from a hard disk 3 through ISA Bus 32 and a bus bridge 33, and it makes memory 35 once memorize it and it changes the data corresponding to an IDE interface into the original image data, it outputs the image data to PC card 31 through ISA Bus 32 and a bus bridge 33.

[0018] the memory controller 41 of PC card 31 uses memory 42 and memory 43 as two banks A and B, and memorizes by turns the image data supplied to memory 42 or memory 43 from main CPU34 per one frame -- making (it writing in) -- the already memorized image data is read from the memory which is not writing in, and it outputs to 1394 communications-department 11A

[0019] 1394 communications-department 11A of PC card 31 is the LINK section 23, packet-izes the image data supplied from the memory controller 41, and transmits the packet through the IEEE1394 terminal 21 by the PHY section 22 by isochronous communication of IEEE1394 specification.

[0020] Thus, the data read from the hard disk 3 are outputted to DVCR2.

[0021] As mentioned above, when making the image data which is a digital video signal from DVCR2 record on a hard disk 3, the personal computer 101 equipped with PC card 31 and hard disk 3 of exclusive use is used in many cases.

[0022]

[Problem(s) to be Solved by the Invention] However, when making image data record on a hard disk 3 as mentioned above, If it originates in other interrupt processing by main CPU34, and the seek time and retry operation in a hard disk 3 and transform processing of data is overdue Before image data is read from memory 42 or memory 43, since the following image data (two-frame back) will be overwritten by the memory, it has the problem that the image data for one frame is missing. Moreover, since coma omission occurs when it originates in this and records a dynamic image, it has the problem that it is difficult to record the data of a dynamic image in the good state.

[0023] In addition, even if main CPU43 supplies the information which shows that transform processing of data was overdue to a memory controller 41 and is made not to switch a bank (memory 42 and 43) in this case, the image data for one frame will be missing.

[0024] Drawing 4 shows a correspondence-related example of the image data supplied from DVCR2, and the data outputted to a hard disk 3. The image data of the 1st frame in drawing is

memorized by memory 42 (bank A) among the image data supplied from DVCR2, and the image data of the 2nd frame \*\* is memorized by memory 43 (bank B).

[0025] And processing (conversion of data and output to a hard disk 3) of the image data of the 1st frame in drawing Next, since it ended before the image data of the 3rd frame memorized on Bank A was supplied, and processing of the image data of the 2nd frame is ended before the image data of the 4th frame memorized next on Bank B is supplied, a problem is not generated at this time.

[0026] Next, the image data of the 3rd frame is memorized by memory 42 (bank A), and the image data of the 4th frame is memorized by memory 43 (bank B).

[0027] Here, by the above-mentioned reason, as shown in drawing 4, when not ending before the image data of the 5th frame processing of the image data of the 3rd frame is remembered to be next on Bank A is supplied, since the image data of the 5th frame is memorized on Bank B, the image data of the 4th frame will not be recorded on a hard disk 3, but it will be missing [ image data ].

[0028] this invention was made in view of such a situation, after it memorizes the received data temporarily in the predetermined storage section, is the turn of FIFO and suppresses lack of image data by changing into the data corresponding to the interface of a predetermined record medium, and outputting the changed data to a record medium.

[0029]

[Means for Solving the Problem] The means of communications which receives the data transmitted by the method by which the inverter according to claim 1 was based on IEEE1394 specification, A storage means to output in order of FIFO after memorizing temporarily the data received by means of communications, The data outputted from the storage means are changed into the data corresponding to the interface of a predetermined record medium, and it is characterized by having a conversion means to output the changed data to a record medium.

[0030] The conversion method according to claim 8 is characterized by to have the step which receives the data transmitted by the method based on IEEE1394 specification, the step outputted in order of FIFO after memorizing the received data temporarily in the predetermined storage section, and the step which outputs the data which changed the data into the data corresponding to the interface of a predetermined record medium, and were changed to a record medium.

[0031] In an inverter according to claim 1, means of communications receives the data transmitted by the method based on IEEE1394 specification, after a storage means memorizes temporarily the data received by means of communications, it is outputted in order of FIFO, and a conversion means changes into the data corresponding to the interface of a predetermined record medium the data outputted from the storage means, and outputs the changed data to a record medium.

[0032] After receiving the data transmitted by the method based on IEEE1394 specification in the conversion method according to claim 8 and memorizing the received data temporarily in the predetermined storage section, it outputs in order of FIFO, and the data is changed into the data corresponding to the interface of a predetermined record medium, and the changed data are outputted to a record medium.

[0033]

[Embodiments of the Invention] Drawing 1 shows the composition of the gestalt of 1 operation of the inverter of this invention. In this inverter 1, the 1394 communications department 11 (means of communications) is made as [ transmit / the image data supplied from the FIFO memory 12 (storage means) / by isochronous communication of IEEE1394 specification ] while receiving the image data transmitted by isochronous communication of IEEE1394 specification from DVCR2.

[0034] In addition, since the IEEE1394 terminal 21, the PHY section 22, and the LINK section 23 of the 1394 communications department 11 are the same as that of the thing of drawing 3, the explanation is omitted.

[0035] CPU24 of the 1394 communications departments 11 is made as [ supply / control information, such as the address which performs the record or read-out of data in a hard disk 3, / to the IDE controller 13 (conversion means) ] while controlling the PHY section 22 and the

LINK section 23.

[0036] The FIFO memory 12 memorizes temporarily the image data supplied from the IDE controller 13, and is made as [ output / in order of FIFO / to the 1394 communications departments 11 ] while having the storage capacity corresponding to the image data for four frames, memorizing temporarily the image data supplied by the 1394 communications department 11 and outputting to the IDE controller 13 in order of FIFO.

[0037] The IDE controller 13 changes into the original image data the data corresponding to an IDE interface supplied through the IDE terminal 14 from the hard disk 3, and is made as [ output / the image data / to the FIFO memory 12 ] while changing into the data corresponding to an IDE interface the image data supplied from the FIFO memory 12 and outputting to the IDE interface (not shown) of a hard disk 3 through the IDE terminal 14 (connecting means) to predetermined timing.

[0038] In addition, in Japanese Patent Application No. No. 111443 [ eight to ], the thing which is proposed in advance by these people and which carry out thing use is made to the IDE controller 13.

[0039] Next, operation of the inverter 1 at the time of making the image data supplied from DVCR2 record on a hard disk 3 is explained.

[0040] It is received by the PHY section 22 through the IEEE1394 terminal 21 of the 1394 communications department 11, and the packet which first contains the image data transmitted from DVCR2 is supplied to the LINK section 23. The LINK section 23 takes out image data from the packet, and outputs the image data to the FIFO memory 12.

[0041] The FIFO memory 12 will stand a full flag, if the above image data is memorized by one frame. And after the IDE controller 13 reads the image data for one frame from the FIFO memory 12 in order of FIFO after supplying the address and the command corresponding to the data first recorded at a hard disk 3 according to this full flag through the IDE terminal 14, and it changes the data into the data corresponding to the IDE interface, it is outputted to a hard disk 3 through the IDE terminal 14.

[0042] And if the amount of the image data memorized by the FIFO memory 12 becomes less than one frame, although the full flag of the FIFO memory 12 will fall, the image data of the following frame is supplied to the FIFO memory 12 by the 1394 communications department 11, and if the amount of the image data memorized by the FIFO memory 12 becomes the above by one frame, a full flag will stand again.

[0043] After the IDE controller 13 reads every one image data from the FIFO memory 12 and changes the image data in this way, it is outputted to a hard disk 3 one by one.

[0044] Thus, an inverter 1 makes the image data supplied from DVCR2 record on a hard disk 3 one by one.

[0045] [ as by doing in this way shows to drawing 2 , when it originates in the seek time of a hard disk 3, or retry operation and record of data is temporarily overdue (in the case of processing of the image data of the 3rd frame of drawing 2 ) ] Since the data transfer rate (recording rate in this case) of a hard disk 3 is set up more quickly than the speed (for example, about 30 frames/ (second)) of image data The difference (distance) of the light pointer (position of writing) of the FIFO memory 12 and a lead pointer (position of read-out) returns immediately, as shown in drawing 2 . Therefore, lack does not occur in the image data recorded on a hard disk 3 in this case.

[0046] Next, operation of the inverter 1 when outputting the image data currently recorded on the hard disk 3 to DVCR2 is explained. In addition, DVCR2 is beforehand made into videotape-recording operating state in this case.

[0047] More nearly first than a hard disk 3, through the IDE terminal 14, the IDE controller 13 reads the data outputted to DVCR2, changes the data corresponding to this IDE interface into the original image data, and outputs the image data to the FIFO memory 12.

[0048] The FIFO memory 12 stands an empty flag until the memorized image data remembers that the image data for three frames is the following by three frames. While this empty flag stands, after the IDE controller 13 reads data and changes the data into the original image data from a hard disk 3, it outputs the image data to the FIFO memory 12.

[0049] The LINK section 23 of the 1394 communications departments 11 is a frame unit, it reads image data from the FIFO memory 12 in order of FIFO, packet-izes the image data, and outputs the packet to the PHY section 22.

[0050] And the PHY section 22 of the 1394 communications department 11 is isochronous communication of IEEE1394 specification, and transmits the packet to DVCR2 through the IEEE1394 terminal 21.

[0051] Thus, an inverter 1 supplies the image data currently recorded on the hard disk 3 to DVCR2 one by one.

[0052] Thus, when the image data for three frames is memorized by the FIFO memory 12 [ when it originates in the seek time of a hard disk 3, or retry operation and read-out of the data from a hard disk 3 is temporarily overdue ] Since the data transfer rate (read-out speed in this case) of a hard disk 3 is quicker than the speed (for example, about 30 frames/(second)) of image data, the difference (distance) of the light pointer (position of writing) of the FIFO memory 12 and a lead pointer (position of read-out) returns immediately. Therefore, lack does not occur in the image data supplied to DVCR2 in this case.

[0053] In addition, in the gestalt of the above-mentioned implementation, although the hard disk 3 is used as a record medium, you may use other record media, such as a flash memory, for example. In this case, the IDE controller 13 changes the supplied image data into the data corresponding to the interface of the record medium.

[0054] Moreover, although it is made to make the image data from DVCR2 record on a hard disk 3, the data transmitted by the communication mode based on IEEE1394 specification from other equipments can also be made to record in the gestalt of the above-mentioned implementation.

[0055]

[Effect of the Invention] According to an inverter according to claim 1 and the conversion method according to claim 8, like the above After receiving the data transmitted by the method based on IEEE1394 specification and memorizing the received data temporarily in the predetermined storage section, in order of FIFO Since it changes into the data corresponding to the interface of a predetermined record medium and was made to output to the record medium, lack of image data can be suppressed and the data of a dynamic image can be made to record on record media, such as a hard disk.

---

[Translation done.]



**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the composition of the gestalt of 1 operation of the inverter of this invention.

[Drawing 2] It is the timing chart in the inverter of drawing 1 which shows an example of the relation of the data supplied and the data outputted to a hard disk.

[Drawing 3] It is the block diagram showing the example of 1 composition of the personal computer on which image data is made to record in a hard disk.

[Drawing 4] It is the timing chart in the personal computer of drawing 4 which shows an example of the relation of the data supplied and the data outputted to a hard disk.

[Description of Notations]

1 Inverter 2 Digital Video Cassette Recorder (DVCR) Three Hard Disks 11 1394 Communications Department 12 FIFO Memory 13IDE Controller 14 IDE Terminal 21 IEEE1394 Terminal, 22 The PHY Section 23 The LINK Section 24 CPU

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-145435

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 L 13/08

H 0 4 L 13/08

G 0 6 F 5/06

G 0 6 F 5/06

Z

G 1 1 B 20/10

G 1 1 B 20/10

D

審査請求 未請求 請求項の数 8 O L (全 6 頁)

(21) 出願番号 特願平8-304402

(22) 出願日 平成 8 年(1996) 11月15日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 末永 信一

東京都品川区北品川 6 丁目 7 番35号 ソニ

一株式会社内

(72) 発明者 三浦 猛志

東京都品川区北品川 6 丁目 7 番35号 ソニ

一株式会社内

(72) 発明者 青木 幸彦

東京都品川区北品川 6 丁目 7 番35号 ソニ

一株式会社内

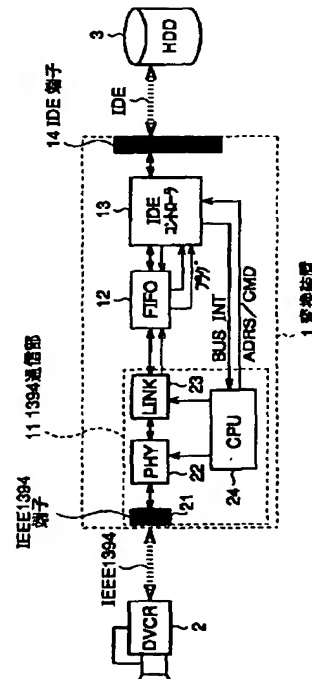
(74) 代理人 弁理士 稲本 義雄

(54) 【発明の名称】 変換装置および方法

(57) 【要約】

【課題】 所定の記録媒体に記録する画像データの欠落を抑制する。

【解決手段】 DVCR 2より伝送されてきた画像データは、1394通信部11により受信され、FIFOメモリ12に出力される。FIFOメモリ12は、1フレーム分のデータを記憶すると、フルフラグを立てる。そして、IDEコントローラ13は、このフルフラグに応じて、1フレーム分のデータをFIFOメモリ12から読み出し、そのデータを変換した後、IDE端子14を介してハードディスク3に出力する。FIFOメモリ12よりデータが読み出されると、フルフラグが落ちるが、次のフレームのデータがFIFOメモリ12に供給されるので、再び、フルフラグが立つ。このようにして、IDEコントローラ13は、このフラグに対応して、データを1フレーム分ずつ処理し、ハードディスク3に出力する。



**【特許請求の範囲】**

【請求項1】 IEEE1394規格に準拠した方式で伝送されてくるデータを受信する通信手段と、前記通信手段により受信されたデータを一時的に記憶した後、FIFOの順番で出力する記憶手段と、前記記憶手段より出力されたデータを、所定の記録媒体のインタフェースに対応したデータに変換し、変換したデータを前記記録媒体に出力する変換手段とを備えることを特徴とする変換装置。

【請求項2】 前記変換手段は、さらに、前記記録媒体からの、所定の記録媒体のインタフェースに対応したデータを元のデータに変換し、前記データを前記記憶手段に記憶させ、

前記記憶手段は、さらに、前記データを一時的に記憶した後、FIFOの順番で前記通信手段に出力し、

前記通信手段は、さらに、前記データをIEEE1394規格に準拠した方式で送信することを特徴とする請求項1に記載の変換装置。

【請求項3】 前記所定の記録媒体と前記変換手段を接続する接続手段をさらに備え、前記変換手段は、前記接続手段を介して、前記データを前記記録媒体に出力することを特徴とする請求項1に記載の変換装置。

【請求項4】 前記記録媒体を内蔵することを特徴とする請求項1に記載の変換装置。

【請求項5】 前記インタフェースは、IDEインタフェースであることを特徴とする請求項1に記載の変換装置。

【請求項6】 前記受信手段は、IEEE1394規格のアイソクロナス通信で伝送されてくるデータを受信することを特徴とする請求項1に記載の変換装置。

【請求項7】 前記記録媒体は、ハードディスクであることを特徴とする請求項1に記載の変換装置。

【請求項8】 IEEE1394規格に準拠した方式で伝送されてくるデータを受信するステップと、受信した前記データを、所定の記憶部において一時的に記憶した後、FIFOの順番で出力するステップと、前記記憶部より出力された前記データを、所定の記録媒体のインタフェースに対応したデータに変換し、変換したデータを前記記録媒体に出力するステップとを備えることを特徴とする変換方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、変換装置および方法に関し、特に、IEEE1394規格に準拠して伝送されてくるデータを受信し、受信したデータを所定の記憶部において一時的に記憶した後、FIFO (First-In First-Out) の順番で、所定の記録媒体に対応するインタフェースに対応したデータに変換して、供給される動画データ等を所定の記録部に記録させる変換装置および

方法に関する。

**【0002】**

【従来の技術】最近の半導体技術の進歩に伴い、撮影した動画をデジタル信号として処理または出力するデジタルビデオカセットレコーダ (DVCR) が普及しつつある。

【0003】図3は、このようなDVCR2からIEEE (Institute of Electrical and Electronics Engineers) 1394 High Performance Serial Bus規格 (IEEE1394規格) に準拠した形式で供給される画像データを受信し、ハードディスク (HDD) 3に記録させるパーソナルコンピュータ101の一構成例を示している。

【0004】このパーソナルコンピュータ101において、PCカード31 (例えば、DV-CAP) は、DVCR2に対して画像データを含むパケットの送受信を行う1394通信部11Aと、画像データを一時的に記憶するメモリ42、43と、それらのメモリ42、43の書き込みと読み出しを制御するメモリコントローラ41と、メモリコントローラ41とISA (Industry Standard Architecture) バス32を接続するISA端子44で構成されている。

【0005】PCカード31は、DVCR2からの画像データを受信し、ISAバス32およびバスブリッジ33を介してメモリ35に出力するとともに、ISAバス32を介して供給される画像データをDVCR2に送信する。

【0006】PCカード31の1394通信部11Aにおいては、IEEE1394端子21が、IEEE1394ケーブル (IEEE1394規格に準拠したケーブル) を介してDVCR2に接続されているとともに、PHY部22に接続されている。

【0007】PHY部22は、サブCPU24Aに制御され、IEEE1394端子21を介して供給される画像データを含むパケットに対してDS-CODING復調を行い、伝送されてきたパケットをLINK部23に出力するとともに、LINK部23より供給されたパケットに対してDS-CODING変調を行い、そのパケットを、IEEE1394端子21を介して送信する。

【0008】LINK部23は、サブCPU24Aに制御され、PHY部22より供給されたパケットから画像データを抽出し、メモリコントローラ41に出力するとともに、メモリコントローラ41より供給された画像データをパケット化し、そのパケットをPHY部22に出力する。

【0009】メインCPU34は、所定のプログラムに従って各種処理を行い、画像データをハードディスク3に記録させる場合においては、PCカード31からの画像データをメモリ35に一旦記憶させた後、そのデータを読み出し、ハードディスク3のインタフェースである

IDE (Integrated Drive Electronics) インタフェースに対応するデータに変換し、変換したデータを、バスブリッジ33およびISAバス32を介してハードディスク3に出力する。

【0010】また、メインCPU34は、画像データをハードディスク3から読み出し、DVCR2に送信する場合においては、ハードディスク3からISAバス32およびバスブリッジ33を介して読み出したデータをメモリ35に一旦記憶させた後、そのデータを読み出し、IDEインタフェースに対応するデータから元の画像データに変換し、変換した画像データを、バスブリッジ33およびISAバス32を介してPCカード31に出力する。

【0011】次に、DVCR2からIEEE1394規格に準拠した形式で供給される画像データを受信し、ハードディスク3に記録させるときの、このパーソナルコンピュータ101の動作について説明する。

【0012】PCカード31の1394通信部11Aは、DVCR2からIEEE1394規格のアイソクロナス (Isynchronous) 通信で伝送されてきた画像データを受信し、その画像データをメモリコントローラ41に出力する。

【0013】メモリコントローラ41は、メモリ42およびメモリ43を2つのバンクA、Bとして利用し、メモリ42またはメモリ43に、1394通信部11Aより供給される画像データを、1フレーム単位で交互に記憶させる (書き込む) とともに、書き込みを行っていないメモリから画像データを読み出し、ISA端子44を介して出力する。

【0014】PCカード31から出力された画像データは、ISAバス32およびバスブリッジ33を介して、メモリ35に一旦記憶され、メインCPU34により、IDEインタフェースに対応するデータに変換された後、再び、ISAバス32およびバスブリッジ33を介して、ハードディスク3に出力される。

【0015】ハードディスク3は、供給されたデータを、内蔵するIDEインタフェース (図示せず) で処理した後、内蔵する磁気媒体 (図示せず) に記録する。

【0016】次に、ハードディスク3に記録された画像データを読み出し、DVCR2に供給する場合の、パーソナルコンピュータ101の動作について説明する。

【0017】メインCPU34は、ISAバス32およびバスブリッジ33を介してハードディスク3からデータを読み出し、メモリ35に一旦記憶させ、IDEインタフェースに対応するデータを元の画像データに変換した後、その画像データを、ISAバス32およびバスブリッジ33を介してPCカード31に出力する。

【0018】PCカード31のメモリコントローラ41は、メモリ42およびメモリ43を2つのバンクA、Bとして利用し、メモリ42またはメモリ43に、メイン

CPU34より供給された画像データを、1フレーム単位で交互に記憶させる (書き込む) とともに、書き込みを行っていないメモリから、既に記憶されている画像データを読み出し、1394通信部11Aに出力する。

【0019】PCカード31の1394通信部11Aは、LINK部23で、メモリコントローラ41より供給された画像データをパケット化し、PHY部22により、そのパケットをIEEE1394規格のアイソクロナス通信でIEEE1394端子21を介して送信する。

【0020】このようにして、ハードディスク3より読み出されたデータがDVCR2に出力される。

【0021】以上のように、DVCR2からのデジタルビデオ信号である画像データをハードディスク3に記録させる場合、専用のPCカード31およびハードディスク3を備えるパーソナルコンピュータ101を利用することが多い。

【0022】

【発明が解決しようとする課題】しかしながら、上述のようにして、画像データをハードディスク3に記録させる場合、メインCPU34による他の割込処理や、ハードディスク3におけるシークタイムおよびリトライ動作に起因してデータの変換処理が遅れると、画像データがメモリ42またはメモリ43から読み出される前に、次の (2フレーム後の) 画像データが、そのメモリに上書きされてしまうので、1フレーム分の画像データが欠落するという問題を有している。また、これに起因して、動画像を記録する場合、コマ落ちが発生するので、動画像のデータを良好な状態で記録することが困難であるという問題を有している。

【0023】なお、この場合、例えば、メインCPU43がデータの変換処理が遅れたことを示す情報をメモリコントローラ41に供給して、バンク (メモリ42、43) の切り換えを行わないにしても、1フレーム分の画像データが欠落してしまう。

【0024】図4は、DVCR2より供給された画像データと、ハードディスク3に出力されるデータの対応関係の一例を示している。DVCR2より供給された画像データのうち、図中の第1番目のフレームの画像データが、メモリ42 (バンクA) に記憶され、第2番目のフレームの画像データが、メモリ43 (バンクB) に記憶される。

【0025】そして、図中の第1番目のフレームの画像データの処理 (データの変換およびハードディスク3への出力) は、次にバンクAに記憶される第3番目のフレームの画像データが供給される前に終了し、第2番目のフレームの画像データの処理は、次にバンクBに記憶される第4番目のフレームの画像データが供給される前に終了しているので問題は、このとき発生しない。

【0026】次に、第3番目のフレームの画像データ

が、メモリ42（バンクA）に記憶され、第4番目のフレームの画像データが、メモリ43（バンクB）に記憶される。

【0027】ここで、上述の理由で、図4に示すように、第3番目のフレームの画像データの処理が、次にバンクAに記憶される第5番目のフレームの画像データが供給される前に終了しない場合、第5番目のフレームの画像データはバンクBに記憶されるので、第4番目のフレームの画像データがハードディスク3に記録されず、欠落してしまう。

【0028】本発明は、このような状況に鑑みてなされたもので、受信したデータを、所定の記憶部において一時的に記憶した後、FIFOの順番で、所定の記録媒体のインタフェースに対応したデータに変換し、変換したデータを記録媒体に出力することにより、画像データの欠落を抑制するようにするものである。

【0029】

【課題を解決するための手段】請求項1に記載の変換装置は、IEEE1394規格に準拠した方式で伝送されてくるデータを受信する通信手段と、通信手段により受信されたデータを一時的に記憶した後、FIFOの順番で出力する記憶手段と、記憶手段より出力されたデータを、所定の記録媒体のインタフェースに対応したデータに変換し、変換したデータを記録媒体に出力する変換手段とを備えることを特徴とする。

【0030】請求項8に記載の変換方法は、IEEE1394規格に準拠した方式で伝送されてくるデータを受信するステップと、受信したデータを、所定の記憶部において一時的に記憶した後、FIFOの順番で出力するステップと、そのデータを、所定の記録媒体のインタフェースに対応したデータに変換し、変換したデータを記録媒体に出力するステップとを備えることを特徴とする。

【0031】請求項1に記載の変換装置においては、通信手段は、IEEE1394規格に準拠した方式で伝送されてくるデータを受信し、記憶手段は、通信手段により受信されたデータを一時的に記憶した後、FIFOの順番で出力し、変換手段は、記憶手段より出力されたデータを、所定の記録媒体のインタフェースに対応したデータに変換し、変換したデータを記録媒体に出力する。

【0032】請求項8に記載の変換方法においては、IEEE1394規格に準拠した方式で伝送されてくるデータを受信し、受信したデータを、所定の記憶部において一時的に記憶した後、FIFOの順番で出力し、そのデータを、所定の記録媒体のインタフェースに対応したデータに変換し、変換したデータを記録媒体に出力する。

【0033】

【発明の実施の形態】図1は、本発明の変換装置の一実施の形態の構成を示している。この変換装置1において

は、1394通信部11（通信手段）は、DVCR2から、IEEE1394規格のアイソクロナス通信で伝送されてくる画像データを受信するとともに、FIFOメモリ12（記憶手段）より供給された画像データをIEEE1394規格のアイソクロナス通信で送信するようになされている。

【0034】なお、1394通信部11のIEEE1394端子21、PHY部22、および、LINK部23は、図3のものと同様であるので、その説明を省略する。

【0035】1394通信部11のCPU24は、PHY部22およびLINK部23を制御するとともに、ハードディスク3における、データの記録または読み出しを行うアドレスなどの制御情報をIDEコントローラ13（変換手段）に供給するようになされている。

【0036】FIFOメモリ12は、例えば4フレーム分の画像データに対応する記憶容量を有し、1394通信部11より供給された画像データを一時的に記憶し、FIFOの順番でIDEコントローラ13に出力するとともに、IDEコントローラ13より供給された画像データを一時的に記憶し、FIFOの順番で1394通信部11に出力するようになされている。

【0037】IDEコントローラ13は、FIFOメモリ12より供給された画像データをIDEインタフェースに対応するデータに変換し、所定のタイミングでIDE端子14（接続手段）を介してハードディスク3のIDEインタフェース（図示せず）に出力するとともに、ハードディスク3よりIDE端子14を介して供給された、IDEインタフェースに対応するデータを元の画像データに変換し、その画像データをFIFOメモリ12に出力するようになされている。

【0038】なお、IDEコントローラ13には、例えば特願平8-111443号において、本出願人により先に提案されているものを利用することができる。

【0039】次に、DVCR2より供給される画像データをハードディスク3に記録させるときの変換装置1の動作について説明する。

【0040】最初に、DVCR2より伝送されてきた画像データを含むパケットは、1394通信部11のIEEE1394端子21を介してPHY部22により受信され、LINK部23に供給される。LINK部23は、そのパケットから画像データを取り出し、その画像データをFIFOメモリ12に出力する。

【0041】FIFOメモリ12は、1フレーム分以上の画像データを記憶していると、フルフラグを立てる。そして、IDEコントローラ13は、このフルフラグに応じて、ハードディスク3に、まず、記録するデータに対応するアドレスおよびコマンドを、IDE端子14を介して供給した後、1フレーム分の画像データをFIFOメモリ12からFIFOの順番で読み出し、そのデー

タを、IDEインタフェースに対応したデータに変換した後、IDE端子14を介してハードディスク3に出力する。

【0042】そして、FIFOメモリ12に記憶されている画像データの量が1フレーム分より少なくなると、FIFOメモリ12のフルフラグが落ちるが、1394通信部11より次のフレームの画像データがFIFOメモリ12に供給されて、FIFOメモリ12に記憶されている画像データの量が1フレーム分以上となると、再び、フルフラグが立つ。

【0043】IDEコントローラ13は、このように、1フレーム分ずつ、画像データをFIFOメモリ12から読み出し、その画像データを変換した後、ハードディスク3に順次出力する。

【0044】このようにして、変換装置1は、DVCR2より供給される画像データを、ハードディスク3に順次記録させる。

【0045】このようにすることにより、図2に示すように、ハードディスク3のシークタイムやリトライ動作に起因して、データの記録が一時的に遅れた場合（図2の第3番目のフレームの画像データの処理の場合）においても、ハードディスク3のデータ転送速度（この場合、記録速度）が、画像データの速度（例えば、約30フレーム/秒）より速く設定されているので、FIFOメモリ12のライトポイント（書き込みの位置）とリードポイント（読み出しの位置）の差（距離）が、図2に示すようにすぐに元に戻る。従って、この場合、ハードディスク3に記録される画像データに欠落が発生することはない。

【0046】次に、ハードディスク3に記録されている画像データをDVCR2に出力するときの変換装置1の動作について説明する。なお、この場合、DVCR2は、予め録画動作状態にしておく。

【0047】最初に、IDEコントローラ13は、ハードディスク3よりIDE端子14を介して、DVCR2に出力するデータを読み出し、このIDEインタフェースに対応したデータを元の画像データに変換し、その画像データをFIFOメモリ12に出力する。

【0048】FIFOメモリ12は、記憶している画像データが3フレーム分以下であると、3フレーム分の画像データを記憶するまで、エンプティフラグを立てる。IDEコントローラ13は、このエンプティフラグが立っている間、ハードディスク3よりデータを読み出し、そのデータを元の画像データに変換した後、その画像データをFIFOメモリ12に出力する。

【0049】1394通信部11のLINK部23は、フレーム単位で、FIFOメモリ12から画像データをFIFOの順番で読み出し、その画像データをパケット化し、そのパケットをPHY部22に出力する。

【0050】そして、1394通信部11のPHY部2

2は、そのパケットを、IEEE1394規格のアイソクロナス通信で、IEEE1394端子21を介してDVCR2に送信する。

【0051】このようにして、変換装置1は、ハードディスク3に記録されている画像データをDVCR2に順次供給する。

【0052】このように、FIFOメモリ12に3フレーム分の画像データが記憶されるようにすることにより、ハードディスク3のシークタイムやリトライ動作に起因して、ハードディスク3からのデータの読み出しが一時的に遅れた場合においても、ハードディスク3のデータ転送速度（この場合、読み出し速度）が、画像データの速度（例えば、約30フレーム/秒）より速いので、FIFOメモリ12のライトポイント（書き込みの位置）とリードポイント（読み出しの位置）の差（距離）が、すぐに元に戻る。従って、この場合、DVCR2に供給される画像データに欠落が発生することはない。

【0053】なお、上記実施の形態においては、記録媒体としてハードディスク3を使用しているが、例えばフラッシュメモリなどの他の記録媒体を使用してもよい。その場合、IDEコントローラ13は、供給された画像データを、その記録媒体のインタフェースに対応したデータに変換するようにする。

【0054】また、上記実施の形態においては、DVCR2からの画像データをハードディスク3に記録させるようにしているが、他の装置からIEEE1394規格に準拠した通信方式で伝送されてくるデータを記録させることもできる。

【0055】

【発明の効果】以上のごとく、請求項1に記載の変換装置および請求項8に記載の変換方法によれば、IEEE1394規格に準拠した方式で伝送されてくるデータを受信し、受信したデータを、所定の記憶部において一時的に記憶した後、FIFOの順番で、所定の記録媒体のインタフェースに対応したデータに変換し、その記録媒体に出力するようにしたので、画像データの欠落を抑制することができ、動画像のデータをハードディスクなどの記録媒体に記録させることができる。

【図面の簡単な説明】

【図1】本発明の変換装置の一実施の形態の構成を示すブロック図である。

【図2】図1の変換装置における、供給されるデータと、ハードディスクに出力されるデータの関係の一例を示すタイミングチャートである。

【図3】ハードディスクに画像データを記録させるパーソナルコンピュータの一構成例を示すブロック図である。

【図4】図4のパーソナルコンピュータにおける、供給されるデータと、ハードディスクに出力されるデータの

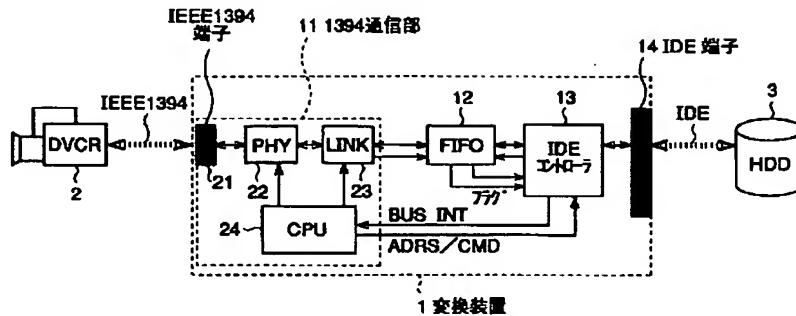
関係の一例を示すタイミングチャートである。

【符号の説明】

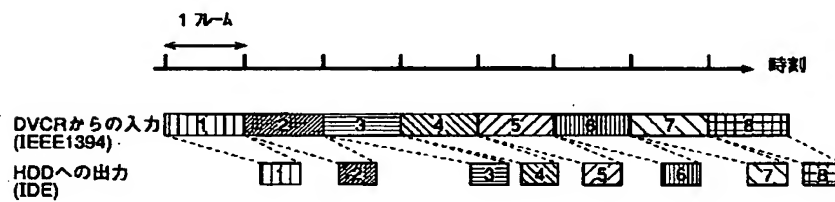
1 変換装置, 2 デジタルビデオカセットレコーダ (DVCR), 3 ハードディスク, 11 1394

通信部, 12 FIFOメモリ, 13 IDEコントローラ, 14 IDE端子, 21 IEEE1394 4端子, 22 PHY部, 23 LINK部, 24 CPU

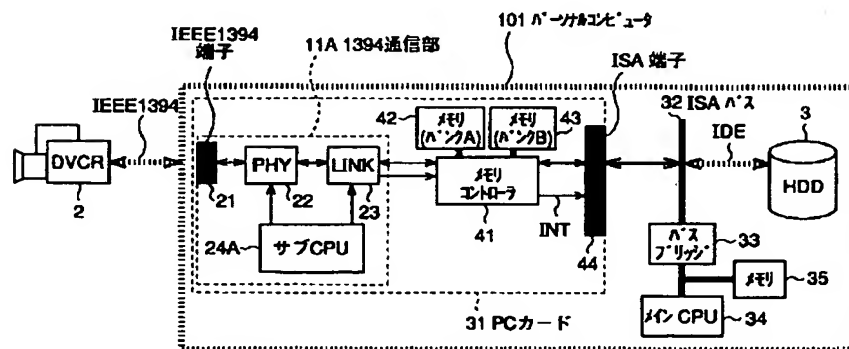
【図1】



【図2】



【図3】



【図4】

